

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243906

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 27/00
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 11-039446

(71)Applicant : SHARP CORP

(22)Date of filing : 18.02.1999

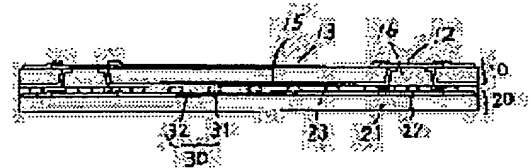
(72)Inventor : MATSUBARA KOJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method for reducing an area thereof by using a laminated structure, and manufacturing the semiconductor device by a simple process.

SOLUTION: A semiconductor element 10 has a conductor 16 passed through a base body and connected to the rear side of an element forming face, on which an electrode 12 is formed. The semiconductor element 10 and a semiconductor element 20 are laminated in an aligned way, so that the conductor 16 and the electrode 22 on the element forming face of the semiconductor element 20 are joined in a contacted state electrically. In addition, the semiconductor element 10 and the semiconductor element 20 are fixed with an adhesive in between.



LEGAL STATUS

[Date of request for examination] 13.07.2001

[Date of sending the examiner's decision of rejection] 27.09.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243906

(P2000-243906A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) IntCl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 27/00	3 0 1	H 0 1 L 27/00	3 0 1 B
25/065		25/08	B
25/07			
25/18			

審査請求 未請求 請求項の数 7 O L (全 6 頁)

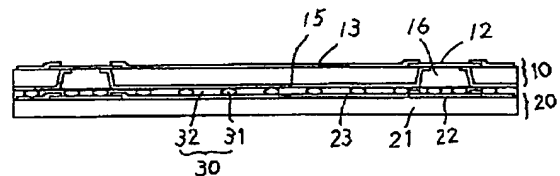
(21) 出願番号	特願平11-39446	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成11年2月18日(1999.2.18)	(72) 発明者	松原浩司 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74) 代理人	100103296 弁理士 小池 隆彌

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 積層構造により小面積化を実現できるとともに、簡単な工程により製造できる半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 半導体素子10には、その基体11を貫通して、素子形成面の電極12の裏側に接続する導体16が形成されている。半導体素子10と半導体素子20とは、上記導体16と半導体素子20の素子形成面の電極22とが接触により電氣的に接続されるよう、位置合わせされて積層されている。また、半導体素子10と半導体素子20とはそれらの間に供給された接着剤により固定されている。



【特許請求の範囲】

【請求項1】 少なくとも第1の半導体素子と第2の半導体素子が積層されて形成された半導体装置において、第1の半導体素子には、基体を貫通して、素子形成面の電極の裏側に接続する導電部材が形成されており、第1の半導体素子と第2の半導体素子は、前記導電部材と第2の半導体素子の素子形成面の電極とが接触により電氣的に接続されるよう、位置合わせされて積層されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記導電部材と第2の半導体素子の素子形成面の電極は、導電性粒子を介して接触していることを特徴とする半導体装置。

【請求項3】 請求項1または請求項2に記載の半導体装置において、第1の半導体素子と第2の半導体素子は、その間に供給された接着剤により固定されていることを特徴とする半導体装置。

【請求項4】 請求項1乃至請求項3のいずれかに記載の半導体装置において、前記導電部材は、第1の半導体素子の基体から突起していることを特徴とする半導体装置。

【請求項5】 請求項1乃至請求項3のいずれかに記載の半導体装置において、第2の半導体素子の素子形成面の電極が、該素子形成面から突起していることを特徴とする半導体装置。

【請求項6】 少なくとも第1の半導体素子と第2の半導体素子を積層して形成した半導体装置の製造方法において、

第1の半導体素子の基体の、第1の半導体素子の素子形成面の電極の裏側に、該電極まで通じる貫通穴を形成する第1の工程と、

少なくとも前記貫通穴の側壁に位置する前記基体を覆うように、絶縁膜を形成する第2の工程と、

前記貫通穴に、導電部材を形成する第3の工程と、

第2の半導体素子の素子形成面の電極と第1の半導体素子の前記導電部材とを位置合わせして、その間に供給した接着剤により接合する第4の工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6に記載の半導体装置の製造方法において、

第1の半導体素子と第2の半導体素子を、ウェーハの状態第1から第4の工程により接合した後、チップ単位に分割することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の構造に関し、特に、半導体基板を積層することにより、小型で高機能な、半導体装置を提供することを目的とする。

【0002】

【従来技術】 従来より、複数の半導体素子を1つのパッケージに実装することが行われている。これらは、通常、複数の半導体素子を横に並べて配置したものであり、実装面積が大きくなるという問題がある。

【0003】 これに対して、例えば、特開平8-236690号公報にあるように、複数の半導体素子を積層して1パッケージ化することが試みられている。この方法によれば、1つの半導体素子の実装面積により複数の半導体素子を実装でき、電子部品等の小型化を実現できる。

【0004】 図13は、上記特開平8-236690号公報に記載された半導体装置を説明する概略構成図である。この図にあるように、この半導体装置では、半導体素子101の側面に配線用パッド102が露出されており、積層される複数の半導体素子の配線用パッド102が金属105の蒸着、及びその後のフォトリソグラフィプロセスにより形成される配線部103で接続されている。

【0005】

【発明が解決しようとする課題】 しかしながら、上記図13に記載の方法では、半導体素子をチップ状態に分割した状態で積層し、半導体装置の側面で、フォトリソグラフィプロセスを用いて再配線しなければならず、非常に煩雑な作業が必要であり、製造が困難であるという問題がある。

【0006】 本発明は、上記課題を解決するためになされたものであり、積層構造により小面積化を実現できるとともに、簡単な工程により製造できる半導体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 請求項1に記載の半導体装置は、少なくとも第1の半導体素子と第2の半導体素子が積層されて形成された半導体装置において、第1の半導体素子には、基体を貫通して、素子形成面の電極の裏側に接続する導電部材が形成されており、第1の半導体素子と第2の半導体素子は、前記導電部材と第2の半導体素子の素子形成面の電極とが接触により電氣的に接続されるよう、位置合わせされて積層されていることを特徴とする。

【0008】 請求項2に記載の半導体装置は、請求項1に記載の半導体装置において、前記導電部材と第2の半導体素子の素子形成面の電極は、導電性粒子を介して接触していることを特徴とする。

【0009】 請求項3に記載の半導体装置は、請求項1または請求項2に記載の半導体装置において、第1の半導体素子と第2の半導体素子は、その間に供給された接着剤により固定されていることを特徴とする。

【0010】 請求項4に記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、前記導電部材は、第1の半導体素子の基体から突起して

いることを特徴とする。

【0011】請求項5に記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、第2の半導体素子の素子形成面の電極が、該素子形成面から突起していることを特徴とする。

【0012】請求項6に記載の半導体装置は、少なくとも第1の半導体素子と第2の半導体素子を積層して形成した半導体装置の製造方法において、第1の半導体素子の基体の、第1の半導体素子の素子形成面の電極の裏側に、該電極まで通じる貫通穴を形成する第1の工程と、少なくとも前記貫通穴の側壁に位置する前記基体を覆うように、絶縁膜を形成する第2の工程と、前記貫通穴に、導電部材を形成する第3の工程と、第2の半導体素子の素子形成面の電極と第1の半導体素子の前記導電部材とを位置合わせして、その間に供給した接着剤により接合する第4の工程と、を含むことを特徴とする。

【0013】請求項7に記載の半導体装置は、請求項6に記載の半導体装置の製造方法において、第1の半導体素子と第2の半導体素子を、ウェーハの状態第1から第4の工程により接合した後、チップ単位に分割することを特徴とする。

【0014】

【発明の実施の形態】図1は本発明の半導体装置一例を示す概略断面図である。

【0015】本半導体装置は、半導体素子10と半導体素子20とを積層して形成している。半導体素子20には、基体21の素子形成面（表面）に電極22と保護膜23とが形成してある。また、半導体素子10には、同様に基体11の表面に電極12と保護膜13とが形成してあるとともに、電極12の裏側に基体11を貫通する導体16を形成している。さらに、半導体素子10の基体11の裏面には、保護膜15を、電極12と導体16との接続部分を除いて形成してあり、これにより半導体素子10の基体11と導体16との間を絶縁している。半導体素子10と半導体素子20とは、電極12に接続した導体16と電極22とを位置合わせした状態で、異方性導電接着剤30（絶縁性樹脂接着剤32、導電性粒子31からなる）により接合してあり、導体16と電極22とは導電性粒子31を介在した接触により電氣的に接続が得られるようになっている。

【0016】このような半導体装置では、半導体素子を2個積層して形成しているので、その占有面積を縮小することができる。また、半導体素子10への導体16の形成を、無電解めっきにより形成し、圧接により電氣的な接合を行うため、従来のような、再配線のためのフォトリソエッチングプロセスを必要とせず、非常に容易に半導体の積層構造を作ることができる。

【0017】半導体素子10と半導体素子20としては、どのような機能を有する半導体素子を組み合わせても構わないが、例えば、メモリー素子とCPU、デジタ

ル回路とアナログ回路、メモリー素子とメモリー素子等の組み合わせが可能である。

【0018】次に、図1に示した半導体装置の製造工程について、図2～6のプロセス説明図を用いて説明する。

【0019】（ステップ1）まず、能動素子の形成されているとともに、電極12（22）、保護膜13（23）がSi等の基体11（21）に形成された半導体素子10及び半導体素子20を準備する（図2）。なお、電極12（22）としては、例えば10μm～100μm程度の大きさでピッチが20μm～200μm程度のCu、Al・Si等からなるものが使用でき、保護膜としては、SiN_x、SiO₂、ポリイミド等が使用できる。

【0020】（ステップ2）半導体素子10の電極12が形成された部分の反対側の面から、半導体装置10の基体11に穴14を形成する（図3）。穴14を形成する方法としては、直接レーザーを照射することにより行う方法、周知のフォトリソエッチングを用いて、穴14を形成部位以外の部分にレジスト層を形成し、周知のウェットエッチングあるいはドライエッチングすることにより行う方法等がある。

【0021】（ステップ3）次に、半導体素子10の裏面全面に、絶縁膜15を形成する。絶縁膜15としては、たとえばSiN_xやSiO₂などの無機材料やポリイミドなどの有機材料を用いることができる。その後、周知のフォトリソエッチングプロセスもしくはレーザー照射により、電極12の裏側に対応する部分の絶縁膜15に開口15aを設ける（図4）。絶縁膜15は、基体11と後述する導体16との間の絶縁、及び、基体11と半導体素子20との間の絶縁を行うものである。半導体素子20の表面に電極22を除いて導電部分がない場合には、絶縁膜15は、少なくとも穴14の側壁に位置する基体11を覆うように形成してあれば良い。

【0022】（ステップ4）次に、半導体装置10の素子側の面（基体11の表面）にめっき保護膜（図示せず）を形成した後、電極12の裏面側（基体11の裏面）に無電解めっきにより導体（Ni）16を選択的に成長させ、素子面側めっき保護膜を除去する（図5）。このNiの無電解めっきは、最初に電極12の表面にPdを薄く無電解めっきし、このPdを核としてNiを無電解めっきすることにより、選択的なNiめっきが可能となる。ここで、めっきする金属、すなわち導体16は、Niに限定する必要はなく、他の金属や、多層めっきであってもよい。

【0023】（ステップ5）次に、半導体装置20の表面に、絶縁性の接着剤32中に導電性粒子31を分散させた異方性導電接着剤30を塗布する。その後、半導体装置10の裏面の導体16と半導体装置20の電極22とを位置合わせし（図6）、これらを両側から加圧・加

熱して、異方性導電接着剤30を硬化することにより、上述の半導体装置(図1)を得る。なお、異方性導電接着剤30は、例えばエポキシ、アクリル、フェノール等からなる接着剤32中に、Ni、Ag、Au、プラスチックに金属メッキしたもの等からなる導電性粒子31を分散させたものが使用できる。

【0024】以上説明した本半導体装置の製造方法では、半導体素子10と半導体素子20との接続において、両者の基体11、21との間を接着剤により固着するため、各半導体素子10、20の固定と同時にその封止をも行うことができる。

【0025】(変形例1)次に、上述した図1の半導体装置の変形例1を説明する。図7はその変形例1の構成を説明する概略断面図である。なお、本変形例においては上述した図1の構成及び図2～図6の製造プロセスと同一部分については説明を省略する。

【0026】上述の図1の構成では、半導体素子10と半導体素子20との電氣的接続を、導体16と電極22を異方性導電接着剤30の導電性粒子31を介して接触させることで行ったが、図7の変形例1では、半導体素子10の電極12の裏側に基体11の裏面から突出する導体17を設け、この導体17と半導体素子20の電極22とを直接接触させることで行っている。なお、導体17は、上述のステップ4におけるめっき条件を調整することで形成できる。また、半導体素子10と半導体素子20の固定は、導電性粒子を電氣的接続のために利用しないため、絶縁性の接着剤33により行える。このような変形例1によれば、電極10、電極20との電氣的接続が安定確実になる。もちろん、本変形例においても異方性導電接着剤を用いて、半導体素子10と半導体素子20の固定を行い、導体17と電極22の間に導電性粒子を介在させた構成で、接続することも可能である。

【0027】(変形例2)次に、変形例2を説明する。図8はその変形例2の構成を説明する概略断面図である。なお、本変形例においては上述した図1の構成及び図2～図6の製造プロセスと同一部分については説明を省略する。

【0028】上述の図1の構成では、半導体素子10と半導体素子20との電氣的接続を、導体16と電極22を異方性導電接着剤30の導電性粒子31を介して接触させることで行ったが、変形例2(図8)では、半導体素子20の電極22の上に突起電極24を設け、この突起電極24と半導体素子10の電極12とを直接接触させることで行っている。なお、この突起電極24は電解メッキ、無電解メッキ、ボールパンピング等の方法により形成できる。また、導電性粒子を電氣的接続のために利用しないため、半導体素子10と半導体素子20の固定は、絶縁性の接着剤33により行える。このような変形例1によれば、電極10、電極20との電氣的接続が安定確実になる。もちろん、本変形例においても異方性

導電接着剤を用いて、半導体素子10と半導体素子20の固定を行い、導体16と突起電極24の間に導電性粒子を介在させた構成で、接続することも可能である。

【0029】(変形例3)図1に示した半導体装置及び図7、8(変形例1、2)に示した半導体装置では、2個の半導体素子10、20を積層した例について示したが、図9に示すように、2個以上の複数の(原理的には何層でも)半導体素子10、20、…を積層することも可能である。このようにすれば、半導体装置の面積の大幅な縮小が見込める。

【0030】本変形例の半導体装置も、どのような機能を有する半導体素子を組み合わせて積層させても良く、例えば、複数のメモリー素子とCPUといった組み合わせが可能である。この場合、複数のメモリー素子は略同一形状に形成できるため、CPUを最下層に配置し、メモリー素子をその上部に積層することが望ましい。

【0031】なお、本変形例で示した半導体装置は、上述した図2～図6の製造プロセスと同様のプロセスによって製造できる。

【0032】(変形例4)図10は、本変形例の半導体装置の一例を示す概略断面図である。なお、本変形例においては上述した図1の構成及び図2～図6の製造プロセスと同一部分については説明を省略する。

【0033】上述の図1、図7、8、9の半導体装置では、導体16、17を無電解めっきにより形成したが、本変形例の半導体装置は、金属粉体と未硬化の樹脂を混合して作られる導電性樹脂(金属ペースト)を半導体装置10に設けられた穴14に供給し、硬化させることにより形成したものである。

【0034】この場合、金属粉体としてはAgやAuを主成分とする比較的表面の酸化しにくい材料が用いられ、接着剤としては、エポキシ系、フェノール系等、各種の材料が使用できる。また、その導電性樹脂の供給方法としては、印刷やディスペンサによる注入などの方法がある。これらの方法では、金属ペーストの印刷(注入)・硬化後に圧接により電氣的な接合を行うため、従来のような、再配線のためのフォトリソグラフィングプロセスを必要とせず、非常に容易に半導体の積層構造を作ることができる。

【0035】また、本変形例において、半導体装置1の穴に供給された導電性樹脂を硬化させる際、半導体装置20の電極を接続した状態で硬化させれば、半導体装置10と半導体装置20は、導電性樹脂により固定と電氣的接続を同時に行うことができ、プロセスの簡略化が可能である。

【0036】以上説明した本発明実施の形態の半導体装置(図1、7、8、9、10)及びその製造プロセス(図2～6)は、本発明の一例を示すものであり、本発明はこれに限られるものではない。例えば、図2～6の製造プロセスでは、簡単のため、半導体装置は分割され

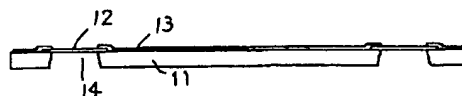
【図２】図１の半導体装置の製造方法（ステップ１）を＊

3.2 接着剤

【図2】



【圖 3】



【圖 11】

